

PAT-NO: JP02001357699A

DOCUMENT-IDENTIFIER: JP 2001357699 A

TITLE: NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS TEST METHOD

PUBN-DATE: December 26, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
YAMAUCHI, YOSHIMITSU	N/A
ITO, NOBUHIKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP2000176986

APPL-DATE: June 13, 2000

INT-CL (IPC): G11C029/00, G01R031/28 , G11C017/00 , H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To perform a test so that plural word lines are not select in a same block.

SOLUTION: A control signal MBPRG is inputted to individual block decoder constituting a block decoder section 37 of an ACT type flash memory. A level of the control signal MBPRG is made to 'H' and all blocks are selected independently of contents of address signals a5-a13, and one work line WL is selected out of all blocks by addresses a0-a4. Thereby, one word line WL is selected for each block electrically separated by a select-transistor, a bad influence is not given to a test of the other memory cells even if a memory cell having negative threshold voltage exists in a memory cell in which write-in is performed at the time of test by applying simultaneously write-in voltage at the time of test to word lines WL having the same numbers as the number of blocks.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-357699

(P2001-357699A)

(43)公開日 平成13年12月26日(2001.12.26)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
G 1 1 C 29/00	6 7 3	G 1 1 C 29/00	6 7 3 P 2 G 0 3 2
G 0 1 R 31/28		17/00	D 4 M 1 0 6
G 1 1 C 17/00		H 0 1 L 21/66	W 5 B 0 0 3
H 0 1 L 21/66		G 0 1 R 31/28	B 5 L 1 0 6

審査請求 未請求 請求項の数8 O L (全 17 頁)

(21)出願番号 特願2000-176986(P2000-176986)

(22)出願日 平成12年6月13日(2000.6.13)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 山内 祥光

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 伊藤 伸彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外1名)

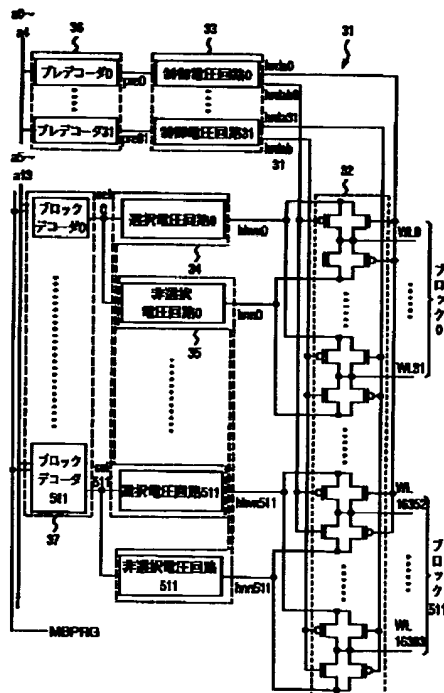
最終頁に続く。

(54)【発明の名称】 不揮発性半導体記憶装置およびそのテスト方法

(57)【要約】

【課題】 同一ブロック内で複数のワード線が選択されないようにテストを行う。

【解決手段】 ACT型フラッシュメモリのブロックデコード部37を構成する個々のブロックデコードに制御信号MBPRGを入力する。そして、上記制御信号MBPRGのレベルを「H」にしてアドレス信号a5～a13の内容に拘らず全てのブロックを選択し、全ブロック内から1本のワード線WLをアドレスa0～a4によって選択するようにする。こうして、セレクトトランジスタによって電気的に分離されている各ブロック毎に1本のワード線WLを選択し、ブロック数と同数本のワード線WLに対して同時にテスト時の書き込み電圧を印加することによって、テスト時の書き込みが行われたメモリセル内に負の閾値電圧を有するメモリセルがあっても、他のメモリセルのテストに悪影響を及ぼさないようにする。



【特許請求の範囲】

【請求項1】 制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配置された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線を有する不揮発性半導体記憶装置であって、

上記行線を所定本数毎に分割してブロック化すると共に、各ブロック内において列方向に配置された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の第1列線と全ブロックに共通に配列された第2列線とを接続するブロックスイッチング手段と、上記複数のブロックのうちの何れかを選択するブロック選択手段と、

上記選択ブロック内における複数本の行線のうちの何れか1本を選択する行線選択手段と、

上記ブロック選択手段に設けられて、第1制御信号に基づいて総てのブロックを選択する全ブロック選択手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 請求項1に記載の不揮発性半導体記憶装置において、

上記ブロック選択手段に設けられて、第2制御信号に基づいて、アドレス信号によって現在選択されているブロックに対する以後の選択動作を阻止する選択阻止手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項3】 請求項1あるいは請求項2に記載の不揮発性半導体記憶装置において、

上記ブロック選択手段に設けられて、第3制御信号に基づいて、上記全ブロック選択手段による選択状態を初期状態に戻すリセット手段を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項4】 制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配置された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、上記行線を所定本数毎に分割して成る各ブロック内において列方向に配置された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の第1列線と全ブロックに共通に配列された第2列線とを接続するブロックスイッチング手段を有する不揮発性半導体記憶装置のテスト方法であって、書き込みテスト時に、上記ブロックスイッチング手段によって分割された総てのブロックから1本ずつ上記行線を選択し、この選択された行線に同時に書き込み電圧を印加することを特徴とする不揮発性半導体記憶装置のテスト方法。

【請求項5】 制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可

能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配置された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、上記行線を所定本数毎に分割して成る各ブロック内において列方向に配置された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の第1列線と全ブロックに共通に配列された第2列線とを接続するブロックスイッチング手段を有する不揮発性半導体記憶装置のテスト方法であって、書き込みテスト時に、上記ブロックスイッチング手段によって分割されたブロックのうち任意のブロックから1本ずつ上記行線を選択し、この選択された行線に同時に書き込み電圧を印加することを特徴とする不揮発性半導体記憶装置のテスト方法。

【請求項6】 請求項4あるいは請求項5に記載の不揮発性半導体記憶装置のテスト方法において、正常に書き込みが行われなかった浮遊ゲート電界効果トランジスタに対して再度書き込み動作を行う際に、正常に書き込みが行われた浮遊ゲート電界効果トランジスタのみに接続された行線は選択されないようにすることを特徴とする不揮発性半導体記憶装置のテスト方法。

【請求項7】 請求項4乃至請求項6の何れか一つに記載の不揮発性半導体記憶装置のテスト方法において、各ブロックから選択された1本の行線に接続された全浮遊ゲート電界効果トランジスタに対する書き込み、閾値電圧の測定および再書き込みが終了した後に、上記各ブロックの選択行線に消去電圧を印加することを特徴とする不揮発性半導体装置のテスト方法。

【請求項8】 請求項4乃至請求項6の何れか一つに記載の不揮発性半導体記憶装置のテスト方法において、各ブロックから選択された1本の行線に接続された全浮遊ゲート電界効果トランジスタに対する書き込み、閾値電圧の測定および再書き込みが終了した後に、全ブロックの全行線に消去電圧を印加することを特徴とする不揮発性半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、浮遊ゲート型不揮発性半導体記憶装置およびその書き込みテスト方法に関する。

【0002】

【従来の技術】従来、高集積化を目指した仮想接地型のフラッシュメモリとして、例えばIEDM Technical Digest, pp269-270, 1995「A New cell Structure for Subquarter Micron High Density Flash Memory」や、電気情報通信学会信学技報、ICD 97-21, P37, 1997「ACT型フラッシュメモリのセンス方式の検討」において発表されたACT(Asymmetrical Contactless Transistor)型フラッシュメモリが挙げられる。

【0003】このACT型フラッシュメモリは、書き込

み(プログラム)/消去(イレース)の動作にFN(ファウラー-ノルドハイム)トンネル現象を用いており、データストレージ型として利用されると予想される。図8は、上記ACT型フラッシュメモリブロック図である。以下、図8に従って、上記ACT型フラッシュメモリについて説明する。

【0004】ACT型フラッシュメモリセルをアレイ状に配列した図8において、MBLはメタル層で形成されたメインビット線であり、SBLは拡散層で形成されたサブビット線であり、WLはワード線であり、SGはセレクトゲート選択信号線である。また、■印はメタル-拡散層コンタクトを表し、●印は拡散層接続を表す。

【0005】上記構成を有するACT型フラッシュメモリは、上述のごとく書き込みおよび消去にFNトンネル現象を用い、アレイ構成は同一ビット線を2つのメモリセルで共有する仮想接地アレイ機構をとっている。このように、ACT型フラッシュメモリは、2つのビット線MBL、SBLを各メモリセルで共有し、且つ、ビット線の一部を拡散層で形成することでコンタクト数を減少させており、アレイ面積を著しく減少させて高集積化を可能にしている。

【0006】図9～図11に、上記ACT型フラッシュメモリにおける読み出し動作/書き込み動作/消去動作時の電圧印加状態を示す。以下、図9～図11に従ってACT型フラッシュメモリの読み出し動作/書き込み動作/消去動作について詳細に説明する。

【0007】読み出し動作においては、図9に示すように、隣接する3本のメインビット線MBL0、MBL1、MBL2に0Vを印加する。メインビット線MBL2にさらに隣接する2本のメインビット線MBL3、MBL4を1Vにプリチャージした後にフローティング状態にする。メインビット線MBL4にさらに隣接する1本のメインビット線MBL5には1Vを印加する。メインビット線MBL5にさらに隣接する2本のメインビット線MBL6、MBL7を1Vにプリチャージした後にフローティング状態にする。そして、メインビット線MBL8以降は、メインビット線MBL0～MBL7の8本のメインビット線MBLに対する電圧印加パターンを繰り返すのである。

【0008】その際に、図9において○で囲まれているACT型フラッシュメモリセル1,1のソース-ドレイン間には1Vの電位差が生じる。したがって、ACT型フラッシュメモリセル1,1の閾値電圧がワード線WL0の電圧(3V)より低ければ、セル電流が流れるためドレイン電圧が低下する。一方、ACT型フラッシュメモリセル1,1の閾値電圧がワード線WL0の電圧(3V)より高ければ、セル電流が流れないためドレイン電圧は低下しない。そこで、セレクトゲート選択信号線SGに3Vを印加して、上記ドレイン電圧の差をメインビット線MBL3、MBL7を介してセンスアンプ(図示せず)によ

てセンスすることによって、ACT型フラッシュメモリセル1,1の書き込み情報を読み出すのである。

【0009】書き込み動作時には、図10に示すように、ワード線WL0に負の電圧-8Vを印加した状態で、書き込みを行うACT型フラッシュメモリセル2,2のサブビット線(拡散ビット線)SBL2、SBL5のうち、n⁺側に高電圧5Vを印加するのである。その場合、ACT型フラッシュメモリセル2,2のフローティングゲートからサブビット線SBL2、SBL5に、FNトンネル現象によって電子が引き抜かれることになり、ACT型フラッシュメモリセル2,2の閾値電圧は低下するのである。一般的には、書き込み動作によって、ACT型フラッシュメモリセル2,2の閾値電圧は1V～2V程度に制御される。

【0010】消去動作時には、図11に示すように、上記セレクトゲート選択信号線SGによって区切られた消去の対象となる1ブロック内におけるワード線WL0～WL31に高電圧10Vを印加した状態で、サブビット線SBLに-8Vを印加すると共に、ACT型フラッシュメモリセルの基板に-8Vを印加する。この場合、消去の対象となる1ブロック内における各ACT型フラッシュメモリセルにおける基板(チャネル領域)からフローティングゲート方向に、FNトンネル現象によって電子が注入されることになり、各ACT型フラッシュメモリセルの閾値電圧は上昇する。一般的には、消去動作によって、各ACT型フラッシュメモリセルの閾値電圧は4V～6V程度に制御される。

【0011】図11の場合には、上記セレクトゲート選択信号線SG0、SG0に0Vが印加され、セレクトゲート選択信号線SG1、SG1に-8Vが印加されて、セレクトゲート選択信号線SG0、SG0にゲートが接続されているセレクトトランジスタ3,4がオンしている。したがって、ブロック0が選択されて、ブロック0内の全ACT型フラッシュメモリセルが一括して消去されるのである。その場合、非選択状態のブロック1内の全ACT型フラッシュメモリセルは、ソース、ドレインはハイインピーダンス状態となるため、消去されない。

【0012】ところで、本ACT型フラッシュメモリのロウデコーダ回路として、図12に示すようなものがある。このロウデコーダ回路11は、各種電圧をワード線WLに出力するドライバ部12、制御電圧回路部13、選択電圧回路部14、非選択電圧回路部15、アレデコーダ部16およびブロックデコーダ部17から概略構成される。

【0013】尚、図13に、上記制御電圧回路部13を構成する制御電圧回路0の回路図を示す。この制御電圧回路は、ローデコーダ11のドライバ部12を構成するPチャネルMOS(金属酸化膜半導体)トランジスタおよびNチャネルMOSTランジスタを開閉する制御信号を出力する回路である。そして、入力信号pre0(アレデコ

10

20

30

40

50

一ダ0の出力信号)を入力することによって出力信号hrda0およびhrdab0を生成する。入力信号pre0以外の入力信号および電源は各制御電圧回路で共通である。

【0014】また、図14に、上記選択電圧回路部14を構成する選択電圧回路0の回路図を示す。この選択電圧回路は、選択されたワード線WLヘドライバ部12を介して印加する印加電圧を出力するものである。そして、入力信号sel0(ブロックデコーダ0の出力信号)を入力することによって出力信号hhvx0を生成する。入力信号sel0以外の入力信号および電源は各選択電圧回路で共通である。

【0015】また、図15に、上記非選択電圧回路部15を構成する非選択電圧回路0の回路図を示す。この非選択電圧回路は、非選択ワード線WLヘドライバ部12を介して印加する印加電圧を出力するものである。そして、入力信号sel0(ブロックデコーダ0の出力信号)を入力することによって出力信号hnn0を生成する。入力信号sel0以外の入力信号および電源は各非選択電圧回路で共通である。

【0016】また、図16に、上記ブレデコーダ部16を構成するブレデコーダ0の回路図を示す。また、図17に、ブロックデコーダ部17を構成するブロックデコーダ0の回路図を示す。

【0017】以下、書き込み動作時におけるワード線デコード方法について、図12に従って説明する。まず、アドレス信号a5~a13によって、512ブロックのうちの1ブロック(32本のワード線WLを含む)が選択される。そして、ドライバ部12の選択ブロックには、選択電圧回路部14の選択電圧回路によって書き込み電圧hhvxが供給される一方、非選択電圧回路部15の非選択電圧回路によって0Vが供給される。これに対して、ドライバ部12の非選択ブロックには、選択電圧回路部14の選択電圧回路および非選択電圧回路部15の非選択電圧回路によって、0Vが供給される。

【0018】そして、上記選択ブロックにおける32本のワード線WLにおいて、アドレス信号a0~a4をブレデコーダ部16でデコードした結果選択された制御電圧回路部13の1つの制御電圧回路からの選択信号hrda,hrdabによって、1本のワード線WLのみに書き込み電圧が印加される。一方、同じ選択ブロックにおける残りのワード線WLには、非選択電圧回路部15の非選択電圧回路によって供給される0Vが印加される。

【0019】上記非選択ブロックにおいては、ブレデコーダ部16のブレデコーダによる選択/非選択に関わらず、上記選択電圧回路および非選択電圧回路によって0Vが供給されているので、全てのワード線WLには0Vが印加されることになる。

【0020】上述のような浮遊ゲート型不揮発性半導体記憶装置のテスト時間短縮方法として、特開平11-224492号公報や特開平11-162199号公報に

開示された方法がある。前者においては、複数のブロックを同時に選択することによって、複数ブロック内のメモセルのデータを同時に消去、書き込みおよびテストするようにしている。また、後者においては、 2^n (n は正の整数)本のワード線を同時駆動する信号群によって、複数のワード線を同時にイネーブルするようにしている。

【0021】

【発明が解決しようとする課題】しかしながら、上記従来の浮遊ゲート型不揮発性半導体記憶装置の書き込みテスト方法には、以下のような問題がある。すなわち、図8に示すようなACT型フラッシュメモリにおいては、図18に示すように、選択ブロック内に閾値電圧が負($V_t < 0V$)であるメモセルが1つでも存在すると、そのメモセルM0はワード線WL0の電圧が0Vであってもオンすることになる。そのために、そのメモセルM0とサブビット線SBL1, SBL2を共有するメモセルM1~メモセルM63の閾値電圧を測定することはできないのである。

【0022】以下、上述のことを更に詳細に説明する。まず、書き込みテストにおける書き込み動作について簡単に述べる。ここで、メモセルM0を選択して書き込みを行うものとする。セレクトゲート選択信号線SG0, SG0にレベル「H(例えば5V)」の電圧を印加してセレクトトランジスタ21, 22をオンする。そして、メモセルM0のコントロールゲートが接続されているワード線WL0に負の高電圧(例えば-8V)を印加し、ドレイン側に接続されているメインビット線MBL2には正電圧(例えば5V)を印加し、ソース側に接続されているメインビット線MBL1はフローティング状態(ハインピーダンス状態)にする。

【0023】さらに、他の選択されないメモセルMのドレイン側に接続されているメインビット線MBLはフローティング状態にしておく。また、基板(もしくはp-ウェル)は基準電圧(例えば0V)にしておく。尚、選択されないメモセルMのコントロールゲートに接続されているワード線WL1~WL63には0Vを印加しておく。

【0024】これによって、書き込むべきメモセルM0のドレイン側とフローティングゲートとの間にFNトンネル現象が発生して、フローティングゲートからトンネル酸化膜を介してドレイン側に電子が引き抜かれ、結果としてメモセルM0の閾値電圧が低下する。こうして、メモセルM0は書き込み状態(閾値電圧が2V以下)となる。このような書き込み動作を各メモセルMに対して順次行うことによって書き込みが行われるのである。

【0025】続いて、テストを行う場合には、上述のような書き込み動作を行った後に読み出し動作を行い、書き込まれたメモセルM0の閾値電圧を測定する。そし

て、閾値電圧が所定の電圧値以上であれば、更にメモリセルM0に対して書き込み動作を行うのである。ところが、メモリセルMによっては、特性のバラツキによって非常に早く閾値電圧が低下するものが存在する。そして、そのために、閾値電圧測定時には、既に当該書き込み状態のメモリセルMの閾値電圧は0V以下になっている場合がある。

【0026】また、上記閾値電圧測定時に、メモリセルMの閾値電圧が所定電圧値以上であったため、再度書き込み動作を行った場合、当該メモリセルMの閾値電圧が0V以下になってしまう場合もある。

【0027】特に、不揮発性半導体記憶装置の低電圧化(例えば、電源電圧が3Vや1.8V等)が進んでくると、書き込み状態の閾値電圧も低下させる必要がある。そのために、これまでは発生しなかった上述のような事態が問題となってくる。

【0028】すなわち、上述のようにメモリセルM0の閾値電圧が0V以下になった場合には、メモリセルM0以外のメモリセルMをテストする場合に次のような不具合が生ずるのである。以下、メモリセルMのテスト動作(読み出し動作)について説明する。ここでは、図18において、メモリセルM1を選択してテストを行うものとする。

【0029】上記セレクトゲート選択信号線SG0, SG0にレベル「H(例えば3V)」の電圧を印加して上記セレクトトランジスタ21, 22をオンする。そして、メモリセルM1のコントロールゲートが接続されているワード線WL1に3Vを印加する。一方、非選択のワード線WL0, WL2~WL63には0Vを印加する。更に、メモリセルM1のソース側に接続されているメインビット線MBL1には基準電圧(例えば0V)を印加し、ドレイン側に接続されているメインビット線MBL2にはプリチャージ電圧1Vを印加する。また、基板(またはp-ウェル)は基準電圧(例えば0V)にしておく。

【0030】これによって、読み出しメモリセルM1が消去状態であれば、閾値電圧が4V以上であるためセル電流は流れない。したがって、メインビット線MBL2にプリチャージされた電圧1Vは維持される。一方、メモリセルM1が書き込み状態であれば、閾値電圧は2V以下であるためセル電流が流れる。したがって、メインビット線MBL2にプリチャージされた電圧1Vは低下し、0Vになる。そして、このプリチャージ電圧を、メインビット線MBLの先に接続されているセンスアンプ(図示せず)によってセンスすることによって、メモリセルM1の状態を判定するのである。

【0031】ここで、上述したように、上記メモリセルM0が過剰に書き込まれた状態(閾値電圧が負:オーバープログラム状態)であるとする、ワード線WL0を非選択状態にするために0Vを印加すると、メモリセルM0にセル電流が流れることになる。したがって、メイン

ビット線MBL2でプリチャージ電圧の推移を判定すると、テスト対象メモリセルM1の状態に関わらず、メインビット線MBL2のプリチャージ電圧は低下することになる。そのために、メモリセルM1の状態判定が正しくできないことになる。同じことが、メインビット線MBL2にドレイン側が接続されているメモリセルM2~M63においても発生する。

【0032】すなわち、上記特開平11-224492号公報においては、任意のブロック内に対して同時にテスト動作(読み出し動作)を行うため、閾値電圧が負となったメモリセルが一つでも存在する場合は、上述のごとく、そのメモリセルM0とサブビット線SBL1, SBL2を共有するメモリセルM1~M63の閾値電圧を測定することができず、結果として書き込みテストが正常に実行されないという問題がある。

【0033】また、上記特開平11-162199号公報においては、2本のワード線を同時に選択してテスト動作(読み出し動作)を行うため、同一ブロック内で複数のワード線が選択された場合には、閾値電圧が負となったメモリセルが一つでも存在する場合は、同様に正常にテストを実行することができないのである。

【0034】さらに、テストモード時に、全ワード線の同時選択と奇数または偶数番目のワード線を同時選択するストライプパターン選択とを切り換え可能なように、「論理ゲート」が付加されている。ところが、オアゲートであるため、テスト信号が入力されたワード線は選択されることになり、同一ブロック内で複数のワード線が選択される。したがって、正常に書き込みが行われたメモリセルのみのワード線と正常に書き込みが行われないメモリセルを含むワード線とが同一ブロック内に混在している場合は、正常に書き込みが行われないメモリセルに対して再度書き込みを行う際に、正常に書き込みが行われたメモリセルにも再度書き込み電圧が印加されることになる。その結果、正常に書き込みが行われたメモリセルに対しては、不要な書き込み電圧が印加されという問題もある。

【0035】そこで、この発明の目的は、同一ブロック内で複数のワード線が選択されないようにして書き込みテストを行うことができる不揮発性半導体記憶装置、及び、そのテスト方法を提供することにある。

【0036】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配置された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線を有する不揮発性半導体記憶装置であって、上記行線を所定本数毎に分割してブロック化すると共に、各ブロック内において列方向に配置された

各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の第1列線と全ブロックに共通に配列された第2列線とを接続するブロックスイッチング手段と、上記複数のブロックのうちの何れかを選択するブロック選択手段と、上記選択ブロック内における複数の行線のうちの何れか1本を選択する行線選択手段と、上記ブロック選択手段に設けられて、第1制御信号に基づいて総てのブロックを選択する全ブロック選択手段を備えたことを特徴としている。

【0037】上記構成によれば、テスト時の書き込みに際して、ブロック選択手段の全ブロック選択手段によって総てのブロックが選択されると共に、行線選択手段によって全ブロック内における1本の行線が選択されて、全ブロックから1本ずつ選択された行線に同時に書き込み電圧が印加される。そして、閾値電圧の測定に際しては、ブロックスイッチング手段がオフされて非測定ブロックが測定ブロックから電気的に分離される。したがって、あるブロックに閾値電圧が負の浮遊ゲート電界効果トランジスタが存在しても、当該浮遊ゲート電界効果トランジスタが他のブロックの浮遊ゲート電界効果トランジスタの測定時に及ぼす悪影響が排除される。

【0038】また、上記第1の発明の不揮発性半導体記憶装置は、上記ブロック選択手段に設けられて、第2制御信号に基づいて、アドレス信号によって現在選択されているブロックに対する以後の選択動作を阻止する選択阻止手段を備えることが望ましい。

【0039】上記構成によれば、テスト時における閾値電圧の測定に際して、アドレス信号によって現在選択されているブロックの選択行に接続された総ての浮遊ゲート電界効果トランジスタの閾値電圧が正常である場合には、選択阻止手段によって、当該選択ブロックに対する以後の選択動作が阻止される。こうして、他のブロックの浮遊ゲート電界効果トランジスタに対して再度書き込みが行われる際に、当該ブロック内に在る閾値電圧が正常な浮遊ゲート電界効果トランジスタに対する過剰ストレスの印加が防止される。

【0040】また、上記第1の発明の不揮発性半導体記憶装置は、上記ブロック選択手段に設けられて、第3制御信号に基づいて、上記全ブロック選択手段による選択状態を初期状態に戻すリセット手段を備えることが望ましい。

【0041】上記構成によれば、全ブロックから1本ずつ選択された行線に接続された浮遊ゲート電界効果トランジスタに関する書き込み、閾値電圧測定および再書き込みが終了すると、リセット手段によって、上記全ブロック選択手段による選択状態が初期状態に戻される。こうして、書き込みテスト終了浮遊ゲート電界効果トランジスタを消去する際等におけるブロック選択が正確に行われる。

【0042】また、第2の発明は、制御ゲート、浮遊ゲ

ート、ドレインおよびソースを有して電気的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配置された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、上記行線を所定本数毎に分割して成る各ブロック内において列方向に配置された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の第1列線と全ブロックに共通に配列された第2列線とを接続するブロックスイッチング手段を有する不揮発性半導体記憶装置のテスト方法であって、書き込みテスト時に、上記ブロックスイッチング手段によって分割された総てのブロックから1本ずつ上記行線を選択し、この選択された行線に同時に書き込み電圧を印加することを特徴としている。

【0043】上記構成によれば、書き込みテスト時に、全ブロックから1本ずつ選択された行線に同時に書き込み電圧が印加される。そして、閾値電圧の測定に際しては、ブロックスイッチング手段がオフされて非測定ブロックが測定ブロックから電気的に分離される。したがって、あるブロックに閾値電圧が負の浮遊ゲート電界効果トランジスタが存在しても、当該浮遊ゲート電界効果トランジスタが他のブロックの浮遊ゲート電界効果トランジスタの測定時に及ぼす悪影響が排除される。

【0044】また、第3の発明は、制御ゲート、浮遊ゲート、ドレインおよびソースを有して電気的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配置された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、上記行線を所定本数毎に分割して成る各ブロック内において列方向に配置された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の第1列線と全ブロックに共通に配列された第2列線とを接続するブロックスイッチング手段を有する不揮発性半導体記憶装置のテスト方法であって、書き込みテスト時に、上記ブロックスイッチング手段によって分割されたブロックのうち任意のブロックから1本ずつ上記行線を選択し、この選択された行線に同時に書き込み電圧を印加することを特徴としている。

【0045】上記構成によれば、書き込みテスト時に、任意のブロックから1本ずつ選択された行線に対して同時に書き込み電圧が印加される。そして、閾値電圧の測定の際には、ブロックスイッチング手段がオフされて非測定ブロックが測定ブロックから電気的に分離される。したがって、あるブロックに閾値電圧が負の浮遊ゲート電界効果トランジスタが存在しても、当該浮遊ゲート電界効果トランジスタが他のブロックの浮遊ゲート電界効果トランジスタの測定時に及ぼす悪影響が排除される。

【0046】また、上記第2の発明または第3の発明の不揮発性半導体記憶装置のテスト方法は、正常に書き込

10

20

30

40

50

みが行われなかった浮遊ゲート電界効果トランジスタに対して再度書き込み動作を行う際に、正常に書き込みが行われた浮遊ゲート電界効果トランジスタのみに接続された行線は選択されないようにすることが望ましい。

【0047】上記構成によれば、正常に書き込みが行われなかった浮遊ゲート電界効果トランジスタに対して再度書き込み動作を行う際に、正常に書き込みが行われた浮遊ゲート電界効果トランジスタのみに接続された行線は選択されない。こうして、上記再度書き込みが行われる際に、閾値電圧が正常な浮遊ゲート電界効果トランジスタに対する過剰ストレスの印加が防止される。

【0048】また、上記第2の発明または第3の発明の不揮発性半導体記憶装置のテスト方法は、各ブロックから選択された1本の行線に接続された全浮遊ゲート電界効果トランジスタに対する書き込み、閾値電圧の測定および再書き込みが終了した後に、上記各ブロックの選択行線に消去電圧を印加することが望ましい。

【0049】上記構成によれば、書き込み、閾値電圧の測定および再書き込みが終了した行線に消去電圧が印加される。こうして、書き込みテストが終了した浮遊ゲート電界効果トランジスタによる、次に書き込みテストが行われる浮遊ゲート電界効果トランジスタに対する悪影響が防止される。

【0050】また、上記第2の発明または第3の発明の不揮発性半導体記憶装置のテスト方法は、各ブロックから選択された1本の行線に接続された全浮遊ゲート電界効果トランジスタに対する書き込み、閾値電圧の測定および再書き込みが終了した後に、全ブロックの全行線に消去電圧を印加することが望ましい。

【0051】上記構成によれば、選択行線に関する書き込み、閾値電圧の測定および再書き込みが終了する毎に、全ブロックの全行線に消去電圧が印加される。こうして、書き込みテストが終了した浮遊ゲート電界効果トランジスタによる、次に書き込みテストが行われる浮遊ゲート電界効果トランジスタに対する悪影響が確実に防止される。

【0052】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。＜第1実施の形態＞図1は、本実施の形態の不揮発性半導体記憶装置に適用されるロウデコード回路のブロック図である。先ず、このロウデコード回路の説明に先立って、このロウデコード回路が適用される不揮発性半導体記憶装置である仮想接地型アレイで構成されたACT型フラッシュメモリについて説明する。図3は、当該ACT型フラッシュメモリにおけるアレイ構造を示す。尚、このACT型フラッシュメモリのアレイ構造自体は、従来から使用されているものである。

【0053】図3において、ワード線WLは、WL32k、WL(32k+1)、…、WL(32k+31)(k=0,1,2,3,…) 50

単位で、上記ブロックスイッチング手段としてのセレクトトランジスタTrkによってブロック化(ブロック数:k)されており、各ブロックはセレクトトランジスタTrkによって電気的に分離可能になっている。

【0054】そして、例えば、上記セレクトトランジスタTr0のゲート制御信号SG0のレベルを「H」にすることによって、セレクトトランジスタTr0がオン状態となり、ブロック0内の全メモリセルMのソース及びドレインは、サブビット線SBLj(SBL0,SBL1,…)およびセレクトトランジスタTr0を介してメインビット線MBLj(MBL0,MBL1,…)に接続される。

【0055】一方、例えば、上記セレクトトランジスタTr1のゲート制御信号SG1のレベルが「L」であれば、セレクトトランジスタTr1はオフ状態であるため、ブロック1内の全メモリセルMのソースおよびドレインは、メインビット線MBLj(MBL0,MBL1,…)と電気的に切り離された状態となる。尚、他の部分は、従来の技術で説明した通りであるので、説明を省略する。

【0056】図1に示すロウデコード回路は、上記ブロック化されたワード線WLを駆動する回路である。このロウデコード回路31は、各種電圧をワード線WLに出力するドライバ部32、制御電圧回路部33、選択電圧回路部34、非選択電圧回路部35、アレデコード部36およびブロックデコード部37から概略構成される。

【0057】本ロウデコード回路31は、上記ブロックデコード部37を構成する個々のブロックデコードに対して制御信号MBPRGが入力され、上記各ブロックデコードは上記制御信号MBPRGによって動作が制御される構成になっている点において、図12に示す従来のロウデコード回路11とは異なる。尚、ドライバ部32、制御電圧回路部33を構成する各制御電圧回路、選択電圧回路部34を構成する各選択電圧回路、非選択電圧回路部35を構成する各非選択電圧回路、アレデコード部36を構成する各アレデコードは、図12に示す従来のロウデコード回路11の場合と同じ構成を有して同様に機能する。

【0058】図2に、上記ブロックデコード部37を構成するブロックデコード0の回路図を示す。図2に示すように、本実施の形態におけるブロックデコード0は、図17に示す従来のブロックデコードと同じ回路構成を有して選択信号を生成する選択信号生成回路41にオアゲート42を追加した構成を有している。そして、このオアゲート42の一方の入力端子には選択信号生成回路41の出力信号を入力する一方、他方の入力端子には制御信号MBPRGを入力して、選択電圧回路0および非選択電圧回路0の入力信号である信号sel0を出力するようになっている。

【0059】そして、図1に示すように、本実施の形態においては、上記制御信号MBPRGが全てのブロックデコード0～ブロックデコード511に共通に入力されてい

る。したがって、この制御信号MBPRGのレベルを「H」にすることによって、ブロックを選択するためのアドレス信号a5~a13の内容に係わらず、総てのブロックを選択することができるのである。すなわち、本実施の形態においては、オアゲート42で上記全ブロック選択手段を構成するのである。

【0060】以下、図1に従って、テスト時におけるロウデコーダ回路31のメモリセルへの書き込み動作について説明する。まず、図2において、ブロックデコーダ0の制御信号MBPRGのレベルが「H」になる(尚、通常の書き込み動作時には、制御信号MBPRGのレベルは「L」にする)。これによって、アドレス信号a5~a13の内容に係わらず、出力信号se10のレベルは「H」となる。また、ブロックデコーダ1~ブロックデコーダ511も同じ回路構成であり、違いはブロック位置を特定するため、例えば/a5のように入力されるアドレス信号が反転する等、アドレス信号が異なるだけである。そのため、共通に入力される制御信号MBPRGのレベルが「H」であることから、出力信号se11~se1511のレベルも同様に「H」となる。

【0061】以後、総てのブロック内の書き込みワード線を特定するアドレスa0~a4によって、アレデコーダ0~アレデコーダ31のうちどれか一つのアレデコーダiの出力信号pre iのレベルが「H」(選択)になれば、制御電圧回路部33、選択電圧回路部34、非選択電圧回路部35およびドライバ部32の動作によって、512個のブロックの夫々を構成する32本のワード線のうち該当する1本のワード線WL(32k+i)が選択される。そして、この選択された合計512本のワード線WLに、電圧-8Vが同時に印加されるのである。これに対して、上記選択されたワード線WL以外の非選択ワード線WLには、上記アレデコーダからの出力信号preのレベルが「L」(非選択)であるために0Vが印加されるのである。尚、上記制御電圧回路部33を構成する各制御電圧回路は図13と同じ回路構成を有している。また、選択電圧回路部34を構成する各選択電圧回路は図14と同じ回路構成を有している。また、非選択電圧回路部35を構成する各非選択電圧回路は図15と同じ回路構成を有している。また、アレデコーダ部36を構成する各アレデコーダは図16と同じ回路構成を有している。

【0062】これによって、全ブロックから1本ずつ選択されたワード線WLに書き込み電圧を同時に印加することが可能になる。この場合における各ワード線WLの選択状態を図4に模式的に示す。尚、従来の仮想接地型アレイで構成されたACT型フラッシュメモリにおいては、テスト時の書き込みは、図5に示すように、一端のブロック0における一端のワード線WL0から他端のブロック511における他端のワード線WL16383に向って順次選択して行うようにしている。

【0063】上述のように、本実施の形態においては、

テスト時の書き込みの際には、総てのブロックから特定の規則性を持って1本ずつワード線WLが選択される。例えば、i=0の時、すなわちレベルが「H」になる出力信号preを出力するアレデコーダの番号iが「0」である場合は、ブロック0においてはワード線WL0、ブロック1においてはワード線WL32、...、ブロックkにおいてはワード線WL32kが選択されて、同時に書き込み電圧が印加される。また、i=1の時、すなわちpre1のレベルが「H」の場合は、ワード線WL1(ブロック0)、ワード線WL33(ブロック1)、...、ワード線WL(32k+1)(ブロックk)が選択され、同時に書き込み電圧が印加される。そして最後は、i=31の時、すなわちpre31のレベルが「H」の場合は、ワード線WL31(ブロック0)、ワード線WL63(ブロック1)、...、ワード線WL(32k+31)(ブロックk)が選択され、同時に書き込み電圧が印加されるのである。

【0064】ところで、この発明においては、総てのブロック内で1本のワード線を選択すれば良いのであって、その選択に必ずしも規則性を有する必要はない。しかしながら、現実のロウデコーダ回路(ワード線駆動回路)の回路構成を考慮すると、上述のような規則性を有するワード線選択の方がロウデコーダ回路の回路構成は容易になる。

【0065】テスト時において、上述のようにして全ブロックから1本のワード線WLが選択されて各メモリセルに書き込みが行われると、次に、各メモリセルの特性を判定するために読み出しが以下のようにして行われる。すなわち、図1に示すロウデコーダ回路31において、上記制御信号MBPRGのレベルを「L」にする。これによって、アドレス信号a5~a13によって選択されたどれか一つのプロセッサの出力信号se1が「H」となり、一つのプロセッサが選択される。一方、アドレスa0~a4によって、当該選択ブロック内における上記テスト時に書き込み電圧が印加されたワード線WLに該当するアレデコーダiの出力信号pre iが「H」となり、当該選択ブロック内の上記テスト時書き込みワード線WLが選択される。そして、こうして選択された1本のワード線WLに3Vが印加される。それと同時に、他の非選択ワード線WLには0Vが印加される。こうして、テスト時の読み出し動作(メモリセルの閾値電圧を測定してメモリセルの書き込み特性判定を行う動作)が行われるのである。以後、アドレス信号a5~a13によって選択ブロックを更新して、同様に選択ブロック内のテスト時書き込みワード線WLに対する読み出し(測定)動作が繰り返される。

【0066】その際に、上記各ブロック1~ブロック511の間は、図3に示すように、セレクトトランジスタTrkによって電気的に分離されているので、負の閾値電圧を有するメモリセルがあったとしても、ブロックが異なれば電気的に分離されているため影響を受けることは

ないのである。

【0067】これに対して、同一ブロック内においては電気的に分離されていないので負の閾値電圧を有するメモリセルがあると他のメモリセルの書き込み特性判定に影響を及ぼす。すなわち、選択ブロック内に1ビットでも負の閾値($V_t < 0V$)となったメモリセルが存在すると、当該メモリセルはワード線WLの電圧が0V(非選択状態)であってもオンするために、当該メモリセルとサブビット線を共有する他のメモリセルの閾値電圧は測定することができなくなる(図18参照)。そこで、全ブロックに対して1本のワード線WLの書き込み/読み出し動作を終了した後、全ワード線WLを一括消去して、全メモリセルの閾値電圧を正の値(4V以上)にして、次に行うメモリセルのテストに影響がでないようにする。もしくは、全ワード線WLではなく、テスト時書き込みの際のロウデコーダ回路31の動作と同様のロウデコーダ回路31の動作によって、テスト時書き込みによって書き込み電圧が印加されたワード線の方に消去電圧を印加して、テスト時書き込みによって閾値電圧が低下したメモリセルを消去状態に戻すことも可能である。

【0068】こうして、今回テスト時の書き込みが行われたメモリセルによる次のメモリセルのテストに影響がでないようにした後、全ブロックから次のワード線WLが選択されてテスト時の書き込みが行われるのである。尚、ブロック内のワード線の選択はアドレスa0~a4によって行われる。

【0069】このように、本実施の形態においては、ACT型フラッシュメモリのブロックデコーダ部37を構成する個々のブロックデコーダを、選択信号生成回路(図17に示す従来のブロックデコーダに相当)41の出力信号と制御信号MBPRGとを入力するオアゲート42を設けて信号selを出力するように構成する。そして、テスト時の書き込みの際には、上記制御信号MBPRGのレベルを「H」にして、アドレス信号a5~a13の内容に拘らず全てのブロックを選択するようにしている。したがって、アドレスa0~a4によって、総てのブロック内の書き込みワード線WLを特定することによって、512個の総てのブロックから1本ずつ合計512本のワード線WLを選択し、この選択された512本のワード線WLに電圧-8Vを印加することができる。

【0070】こうして、上記セレクトトランジスタTrkによって電気的に分離されている各ブロック毎に、1本の選択ワード線WLにコントロールゲートが接続されたメモリセルMに対して、同時にテスト時の書き込みが行われるのである。

【0071】したがって、16384本のワード線WLを有する64Mビットデバイスの場合には、1ブロックを32本のワード線WLで構成するとブロック数は512であるから、同時に512本のワード線WLに書き込みを行うことができる。すなわち、テスト時の書き込み

時間を1/512に短縮することができるのである。

【0072】その際に、上記テスト時の書き込みが行われたメモリセル内に負の閾値電圧を有するメモリセルがあったとしても、同一ブロック内にはテスト時書き込みが行われた他のメモリセルの行は存在しない。つまり、負の閾値電圧を有する当該メモリセルの行は他のメモリセルの行とはセレクトトランジスタTrkによって電気的に分離されている。したがって、他のメモリセルの閾値電圧測定に悪影響を及ぼすことはないのである。

【0073】さらに、こうして全ブロックから1本ずつ選択されたワード線WLに対するテストが終了すると全ワード線WLを一括消去するので、今回のテスト時の書き込みで負の閾値電圧を有する当該メモリセルが生じたとしても、次のテストに悪影響を及ぼすことは無い。

【0074】すなわち、本実施の形態によれば、書き込みテストを正常に且つ迅速に行うことができるのである。

【0075】<第2実施の形態>図6は、本実施の形態における不揮発性半導体記憶装置に適用されるロウデコーダ回路のブロック図である。本実施の形態におけるロウデコーダ回路51の場合においては、図1におけるロウデコーダ回路31の場合と同様に、ブロックデコーダ部57を構成する個々のブロックデコーダに対して制御信号MBPRGが入力される。但し、本実施の形態は、制御信号MBPRGに加えて、さらに制御信号MBRSTと制御信号RSTと制御信号MBPRGSTとが追加入力されることが第1実施の形態とは異なる点である。尚、ドライバ部52、制御電圧回路部53を構成する各制御電圧回路、選択電圧回路部54を構成する各選択電圧回路、非選択電圧回路部55を構成する各非選択電圧回路、ブレイド部56を構成する各ブレイド部は、図12に示す従来のロウデコーダ回路11の場合と同じ構成を有して同様に機能する。

【0076】図7は、本実施の形態における上記ブロックデコーダ部57を構成するブロックデコーダ0の回路図である。図7に示すように、本実施の形態におけるブロックデコーダ0は、図17に示す従来のブロックデコーダと同じ回路構成を有して選択信号を生成する選択信号生成回路61の出力信号と制御信号MBRSTとが入力されるアンドゲート62を有している。そして、アンドゲート62の出力信号がゲートに入力されるトランジスタTr2のドレインと制御信号RSTがゲートに入力されるトランジスタTr3のドレインとは、インバータ63の入力端子とインバータ64の出力端子とが共通に接続されている。一方、インバータ63の出力端子とインバータ64の入力端子とは、制御信号MBPRGがゲートに入力されるトランジスタTr4のドレインが共通に接続されている。

【0077】また、上記選択信号生成回路61の出力信号が入力されるアンドゲート66を有し、このアンドゲ

ート66の他方の入力端子には、制御信号MBPRGTSTのレベルを反転するインバータ67の出力信号が入力される。さらに、トランジスタTr2のドレインに一方の入力端子が接続されたアンドゲート68を有し、このアンドゲート68の他方の入力端子には、上記制御信号MBPRGTSTが入力されている。そして、アンドゲート66からの出力信号とアンドゲート68からの出力信号とが入力されるオアゲート69を有しており、オアゲート69から選択電圧回路0および非選択電圧回路0の入力信号である信号se10を出力するようになっている。

【0078】そして、図7において、テスト時の書き込みに際して、制御信号MBPRGTSTのレベルを「H」にする。尚、この制御信号MBPRGTSTは全ブロックを選択するための信号であり、テスト時の読み出しやベリファイ時及び通常動作時にはレベルを「L」にしておく。上述の状態、制御信号MBPRGのレベルが「H」になるとトランジスタTr4がオンし、二つのインバータ63,64で成るラッチ回路65の出力段であるノードAのレベルが「H」にラッチされる(尚、通常の書き込み動作時には、制御信号RSTのレベルを一旦「H」にしてノードAのレベルを「L」にラッチさせる)。また、制御信号MBRSTおよび制御信号RSTのレベルは最初「L」にしておく。これによって、アンドゲート68の出力信号のレベルは「H」となり、アドレス信号a5～a13の内容に係わらず、出力信号se10のレベルは「H」となる。ここで、ブロックデコーダ1～ブロックデコーダ511も同じ回路構成であり、違いはブロック位置を特定するため、例えば、/a5のように入力されるアドレス信号が反転する等、アドレス信号が異なるだけである。そのために、共通に入力される制御信号MBPRGTSTおよび制御信号MBPRGのレベルが「H」であることから、各出力信号se11～se1511のレベルも同様に「H」となる。

【0079】このように、本実施の形態においても、ブロックを選択するためのアドレス信号a5～a13の内容に係わらず、ブロックデコーダ0～ブロックデコーダ511からの出力信号se10～出力信号se1511のレベルを「H」にして総てのブロックを選択することができるのである。すなわち、本実施の形態においては、トランジスタTr4、ラッチ回路65、アンドゲート68およびオアゲート69で上記全ブロック選択手段を構成するのである。

【0080】但し、第1実施の形態においては、テスト時書き込み中に上記制御信号MBPRGは「H」レベルを維持しているが、本実施の形態においてはブロックデコーダ内にラッチ回路65を有しているために、制御信号MBPRGのレベルは一旦「H」レベルにした後に「L」に戻すことが可能になる。

【0081】これによって、上記ロウデコーダ51は、第1実施の形態の場合と同じ動作を行うことになる。すなわち、制御信号MBPRGTSTのレベルが「H」であるため、

制御信号MBPRGがイネーブルになると、総てのブロック0～ブロック511に関してブロックデコーダ0～ブロックデコーダ511内のラッチ回路がセットされて、信号se10～se1511がイネーブルとなる。その結果、総てのブロック0～ブロック511の選択電圧回路0～選択電圧回路511はドライバ部52にレベル「H」の信号hhvxを供給することになる。したがって、全ブロックにおける32本のワード線WLのうち、アドレス信号a0～a4によって指定された制御電圧回路iからの選択信号hrda i, hrdabiによって選択された1本のワード線WLに書き込み電圧が印加され、残りの31本のワード線WLには非選択電圧回路から供給される0Vが印加されることになる。こうして、各ブロックから1本ずつ選択されたワード線WLに対してテスト時の書き込み動作を同時に行うことが可能になる。

【0082】こうして、各ブロックから1本ずつ選択された合計512本のワード線WLに書き込み電圧を印加してテスト時の書き込みが終了した後、このテスト時の書き込みが終了したワード線WLをアドレス信号a0～a4およびアドレス信号a5～a13によって次のようにして順次選択し、選択ワード線WLにコントロールゲートが接続されたメモリセルMの閾値電圧を測定する。すなわち、まず、制御信号MBPRGTSTのレベルを「L」にして、アンドゲート68の出力信号のレベルを「L」にすると共に、アンドゲート66における一方の入力信号のレベルを「H」にする。これによって、アドレス信号a5～a13によって選択信号生成回路61の出力レベルが「H」になると、アンドゲート66の出力信号のレベルが「H」になり、出力信号se10のレベルは「H」となる。こうして、アドレス信号a5～a13によって、各ブロックが順次選択されるのである。そして、選択されているブロックのセレクトトランジスタTrkをオンすると共に、アドレス信号a0～a4によって選択ブロック内のワード線WLを選択して、選択ワード線WLにコントロールゲートが接続されているメモリセルMの閾値電圧を測定するのである。その場合、負の閾値を持つメモリセルMが存在したとしても、ブロックが異なれば電氣的に分離されているため読み出しやベリファイ時に影響を受けないのである。

【0083】ここで、書き込みが正常に完了しており、再書き込みが不要となったメモリセルMのみが接続されたワード線WLに関しては、それ以上の書き込み電圧の印加はメモリセルMにとって過剰ストレスを印加することになるので、好ましくは当該ワード線WLに書き込み電圧を印加すべきではない。

【0084】そこで、本実施の形態においては、上記メモリセルMの閾値電圧の測定に際して、メモリセルMの閾値電圧が所定の値(0V以上且つ2V以下)であれば、この正常メモリセルMのコントロールゲートのみが接続されているワード線(以下、正常ワード線と言う)WL

10

20

30

40

50

に、さらに書き込み電圧を印加しないように、閾値電圧の測定直後であってまだ当該測定メモリセル(正常メモリセル)Mが選択されている間(つまり、選択信号生成回路61の出力信号のレベルが「H」である間)に制御信号MBRSTのレベルを一旦「H」にし、その後「L」に戻すのである。

【0085】こうすることによって、図7において、ノードBのレベルが「H」になるためトランジスタTr2がオンし、ラッチ回路65が反転してノードAは「L」レベルにラッチされる。したがって、以後の再書き込みの際に制御信号MBPRGTSTのレベルが「H」になっても、アンドゲート68の出力レベルは「L」である。それと同時に、アンドゲート66の一方にはインバータ67によって反転されたレベルが「L」の制御信号MBPRGTSTが入力される。その結果、アンドゲート66、68の出力レベルは「L」となり、当該ブロックデコーダの出力信号selのレベルは「L」のままである。したがって、上記正常ワード線WLは選択されないことになり、以後のテスト時の再書き込みが終了するまで当該ワード線WLには書き込み電圧は印加されないのである。その際に、他のブロックに対するテスト時の読み出し(測定)実行時には、制御信号MBPRGTSTのレベルは「L」であるため、誤ってアドレス信号a5~a13によって当該正常ワード線WLが存在しているブロックが選択される場合が生ずる。その場合でも、当該正常ワード線WLに印加される電圧(3V)は書き込み電圧(-8V)よりも高いので、過剰ストレスが印加されることはないのである。

【0086】すなわち、本実施の形態においては、上記アンドゲート66、68と、インバータ67と、トランジスタTr2とで、上記選択阻止手段を構成するのである。

【0087】このような動作を、総てのブロックデコーダ0~ブロックデコーダ511に対して同様に行うのである。

【0088】以後、上記制御信号MBPRGTSTのレベルを「H」にして、上記テスト時の読み出し(測定)が終了したワード線WLに、テストで規定されている書き込み電圧が再度一括印加される。こうして、制御信号MBRSTによってブロックデコーダのラッチ回路65が反転されていないブロックのワード線WLにコントロールゲートが接続された書き込み不良メモリセルに、再度書き込み電圧が印加されるのである。

【0089】こうしてテスト時の書き込み、読み出し(測定)、再書き込みが終了すると、上記制御信号RSTのレベルを一旦「H」にする。こうすることによって、各ブロックデコーダ内におけるトランジスタTr3がオンするために、先に述べた上記制御信号MBRSTによるラッチ回路反転時において反転していないラッチ回路65が反転される。こうして、総てのブロックデコーダのラッチ回路65が確実に反転され、各ノードAのレベルは「L」とな

て初期化される。そうした後、制御信号RSTのレベルを「L」に戻す。すなわち、本実施の形態においては、トランジスタTr3で上記リセット手段を構成するのである。

【0090】上述のようにして、全ブロックに対して1本のワード線WLの書き込み/読み出しを終了した後、全ワード線WLを一括消去して、全メモリセルの閾値電圧を正の値(4V以上)にして、次に行うメモリセルのテストに影響がでないようにする。もしくは、全ワード線WLではなく、テスト時書き込みの際のロウデコーダ回路51の動作と同様のロウデコーダ回路51の動作によって、テスト時書き込みによって書き込み電圧が印加されたワード線のみ消去電圧を印加して、テスト時書き込みによって閾値電圧が低下したメモリセルを消去状態に戻すことも可能である。

【0091】その後、上記アドレス信号a0~a4の内容を変えて、全ブロックにおける次の1本のワード線WLに対する書き込みテストに移行する。そして、まず、制御信号MBPRGTSTのレベルを「H」にすると共に、制御信号MBPRGのレベルを一旦「H」にする。そして上述の手順に従ってテスト時の書き込みを一括して行う。その後に、制御信号MBPRGTSTのレベルを「L」にして、上述の手順に従ってアドレス信号a5~a13に基づく読み出し(測定)を行う。その際に、あるブロックに関する読み出し(測定)を行った結果、当該ブロックの1本のワード線WLに関する1行のメモリセルMが総て正常メモリセルMである場合には制御信号MBRSTのレベルを一旦「H」にして、正常メモリセルMに係るブロックデコーダのラッチ回路65をリセットする。こうして、再書き込み時に、一括選択するため制御信号MBPRGTSTを「H」にしても、当該ブロックは選択されないようにする。そうした後、再書き込み動作を行い、テスト時の書き込み、読み出し(測定)、再書き込みが終了すると、制御信号RSTのレベルを一旦「H」にして、全ブロックデコーダのラッチ回路65をリセットするのである。

【0092】上述のように、本実施の形態においては、上記ACT型フラッシュメモリのブロックデコーダ部57を構成する個々のブロックデコーダを、制御信号MBPRGのレベル「H」をラッチするラッチ回路65と、選択信号生成回路(図17に示す従来のブロックデコーダに相当)61の出力信号と制御信号MBPRGTSTの反転信号とを入力するアンドゲート66と、ラッチ回路65の出力信号と制御信号MBPRGTSTとを入力するアンドゲート68と、アンドゲート66とアンドゲート68との出力とを入力するオアゲート69を設けて信号selを出力するように構成する。そして、テスト時の書き込みの際に、まず、制御信号MBPRGTSTのレベルを「H」にした後、制御信号MBPRGのレベルを一旦「H」にして、アドレス信号a5~a13の内容に拘らず全てのブロックを選択するようにしている。したがって、第1実施の形態の場合と同様に、セレクトトランジスタTrkによって電氣的に分離さ

れている全ブロックから1本ずつ選択したワード線WLに対して、同時に書き込み電圧を印加することができるのである。

【0093】さらに、本実施の形態における各ブロックデコーダには、アドレス信号a5~a13によって現在選択されているブロックデコーダのラッチ回路65のラッチ内容を、上記制御信号MBRSTによってリセットする第1リセット回路(アンドゲート62,トランジスタTr2)を設けている。したがって、テスト時の測定に際して選択されているブロックデコーダの選択ワード線WLに関する全メモリセルMが正常である場合には、当該選択ブロックデコーダのラッチ回路65のラッチ内容をリセットすることができる。その結果、当該ブロックデコーダは、以後、再書き込みの際に制御信号MBPRGSTのレベルが「H」になると両アンドゲート66,68の出力レベルは「L」となるため、制御信号MBPRGによってラッチ回路65がセットされるまで再書き込み時に選択されることはない。したがって、正常メモリセルMに過剰ストレスが印加されるのを防止できるのである。

【0094】さらに、本実施の形態における各ブロックデコーダには、選択/非選択に拘わらず上記ラッチ回路65のラッチ内容を制御信号RSTによってリセットする第2リセット回路(トランジスタTr3)を設けている。したがって、各ブロックを選択するに先立って、全コントロールゲートのラッチ回路65のラッチ内容をリセットすることができ、消去動作時等にブロックを正確に選択することができるのである。

【0095】尚、上記各実施の形態においては、全ブロックに関して1本のワード線を同時に選択する構成について説明を行った。しかしながら、書き込み電流の制約上等の理由によって、全ブロックに関して1本のワード線を同時に選択することが不可能な場合は、上記制御信号MBPRGを複数用意して、1つのブロックに関して1本のワード線WLを選択するように構成しても差し支えない。例えば、複数の制御信号MBPRG1,MBPRG2,MBPRG3を用意し、上記制御信号MBPRG1をブロックデコーダ1に入力し、制御信号MBPRG2をブロックデコーダ2に入力し、制御信号MBPRG3をブロックデコーダ3に入力することによって、1つのブロックのワード線に対してテスト時の書き込みを行うことが可能になる。また、例えば、制御信号MBPRG1と制御信号MBPRG3とのレベルを「H」にしてブロック1とブロック3とを選択したり、制御信号MBPRG1,MBPRG2,MBPRG3のレベルを「H」にしてブロック1,2,3を選択したり、任意にランダムなブロックのワード線に対して同時にテスト時の書き込みを行うことも容易に可能にできる。

【0096】

【発明の効果】以上より明らかなように、第1の発明の不揮発性半導体記憶装置は、ブロック選択手段の全ブロック選択手段によって総てのブロックを選択し、行線選

択手段によって上記選択ブロック内の1本の行線を選択するので、書き込みテストの際に、全ブロックから1本ずつ選択した行線に同時に書き込み電圧を印加することができる。したがって、16384本のワード線WLを有する64Mビットデバイスの場合には、1ブロックを32本のワード線WLで構成するとブロック数は512であるから、同時に512本のワード線WLに書き込みを行うことができる。すなわち、テスト時の書き込み時間を1/512に短縮することができるのである。

【0097】さらに、閾値電圧の測定に際して、ブロックスイッチング手段をオフすることによって非測定ブロックを測定ブロックから電気的に分離できる。したがって、あるブロックに閾値電圧が負のメモリセルが存在しても、当該メモリセルが他のブロックのメモリセルに関する測定に悪影響を及ぼすことを防止できる。

【0098】また、上記第1の発明の不揮発性半導体記憶装置は、上記ブロック選択手段内に、第2制御信号に基づいて、アドレス信号によって現在選択されているブロックに対する以後の選択動作を阻止する選択阻止手段を設ければ、上記閾値電圧の測定に際して、アドレス信号によって現在選択されているブロックの選択行に接続された総てのメモリセルの閾値電圧が正常である場合には、当該選択ブロックに対する以後の選択動作を阻止するようにできる。したがって、他のブロックのメモリセルに対して再書き込みを行う際に、当該ブロック内の正常なメモリセルに過剰ストレスが印加されるのを防止することができる。

【0099】また、上記第1の発明の不揮発性半導体記憶装置は、上記ブロック選択手段内に、第3制御信号に基づいて、上記全ブロック選択手段による選択状態を初期状態に戻すリセット手段を設ければ、全ブロック毎に選択された1本の行線に関する書き込み、閾値電圧測定および再書き込みが終了すると、全ブロックの選択状態を初期状態に戻すことができる。したがって、次に、書き込みテスト終了メモリセルを消去する際等にブロック選択を正確に行うことができる。

【0100】また、第2の発明の不揮発性半導体記憶装置のテスト方法は、書き込みテスト時に、行線を所定本数毎に分割して成る総てのブロックから1本ずつ上記行線を選択し、この選択された行線に同時に書き込み電圧を印加するので、例えば、64Mビットデバイスの場合には、1ブロックを32本のワード線WLで構成すると512本のワード線WLに同時に書き込みを行うことができる。すなわち、テスト時の書き込み時間を1/512に短縮することができる。

【0101】さらに、閾値電圧の測定に際しては、ブロックスイッチング手段をオフすることによって、非測定ブロックを測定ブロックから電気的に分離できる。したがって、あるブロックに閾値電圧が負のメモリセルが存在しても、当該メモリセルが他のブロックのメモリセル

に関する測定に悪影響を及ぼすことを防止できる。

【0102】また、第3の発明の不揮発性半導体記憶装置のテスト方法は、書き込みテスト時に、行線を所定本数毎に分割して成る任意のブロックから1本ずつ上記行線を選択し、この選択された行線に同時に書き込み電圧を印加するので、テスト時の書き込み時間を短縮することができる。

【0103】さらに、閾値電圧の測定に際しては、ブロックスイッチング手段をオフすることによって、非測定ブロックを測定ブロックから電気的に分離できる。したがって、あるブロックに閾値電圧が負のメモリセルが存在しても、当該メモリセルが他のブロックのメモリセルに関する測定に悪影響を及ぼすことを防止できる。

【0104】また、上記第2の発明または第3の発明の不揮発性半導体記憶装置のテスト方法は、正常に書き込みが行われなかったメモリセルに対して再度書き込み動作を行う際に、正常に書き込みが行われたメモリセルのみに接続された行線は選択されないようにすれば、上記再度書き込みを行う際に、正常なメモリセルに対する過剰ストレスの印加を防止できる。

【0105】また、上記第2の発明または第3の発明の不揮発性半導体記憶装置のテスト方法は、各ブロックから選択された1本の行線に関する書き込み、閾値電圧の測定および再書き込みが終了した後に、上記各ブロックの選択行線に消去電圧を印加すれば、書き込みテストが終了したメモリセルが次に書き込みテストが行われるメモリセルに及ぼす悪影響を防止できる。さらに、消去が必要なメモリセルに関する行線にのみ消去電圧を印加するので、消去動作の度にメモリセルに対して繰り返される消去電圧の印加によって閾値電圧が上昇するのを防止できる。このことは、今後更なる微細加工によって製造されるメモリセルにおいては大きな効果となり得る。

【0106】また、上記第2の発明または第3の発明の不揮発性半導体記憶装置のテスト方法は、各ブロックから選択された1本の行線に関する書き込み、閾値電圧の測定及び再書き込みが終了した後に、全ブロックの全行線に消去電圧を印加すれば、書き込みテストが終了したメモリセルが次に書き込みテストが行われるメモリセルに及ぼす悪影響を確実に防止できる。さらに、全メモリセルを一括消去するので、消去時間を短縮できる。

【図面の簡単な説明】

【図1】 この発明の不揮発性半導体記憶装置に適用されるロウデコーダ回路のブロック図である。

【図2】 図1におけるブロックデコーダの回路図である。

【図3】 この発明の不揮発性半導体記憶装置としてのACT型フラッシュメモリのアレイ構造を示す図である。

【図4】 全ブロックから1本ずつ選択したワード線にテスト時の書き込み動作を同時に行う場合の各ワード線の選択状態を示す図である。

【図5】 従来のACT型フラッシュメモリにおいてテスト時の書き込みを行う際の各ワード線の選択状態を示す図である。

【図6】 図1とは異なるロウデコーダ回路のブロック図である。

【図7】 図6におけるブロックデコーダの回路図である。

【図8】 ACT型フラッシュメモリのアレイ構造を示す図である。

【図9】 図8に示すACT型フラッシュメモリにおける読み出し動作の説明図である。

【図10】 図8に示すACT型フラッシュメモリにおける書き込み動作の説明図である。

【図11】 図8に示すACT型フラッシュメモリにおける消去動作の説明図である。

【図12】 図8に示すACT型フラッシュメモリに適用されるロウデコーダ回路のブロック図である。

【図13】 図12における制御電圧回路の回路図である。

【図14】 図12における選択電圧回路の回路図である。

【図15】 図12における非選択電圧回路の回路図である。

【図16】 図12におけるアレデコーダの回路図である。

【図17】 図12におけるブロックデコーダの回路図である。

【図18】 選択ブロック内に閾値電圧が負のメモリセルが存在する場合の説明図である。

【符号の説明】

31, 51...ロウデコーダ回路、

32, 52...ドライバ部、

33, 53...制御電圧回路部、

34, 54...選択電圧回路部、

35, 55...非選択電圧回路部、

36, 56...アレデコーダ部、

40 37, 57...ブロックデコーダ部、

41, 61...選択信号生成回路、

42, 69...オアゲート、

62, 66, 68...アンドゲート、

65...ラッチ回路、

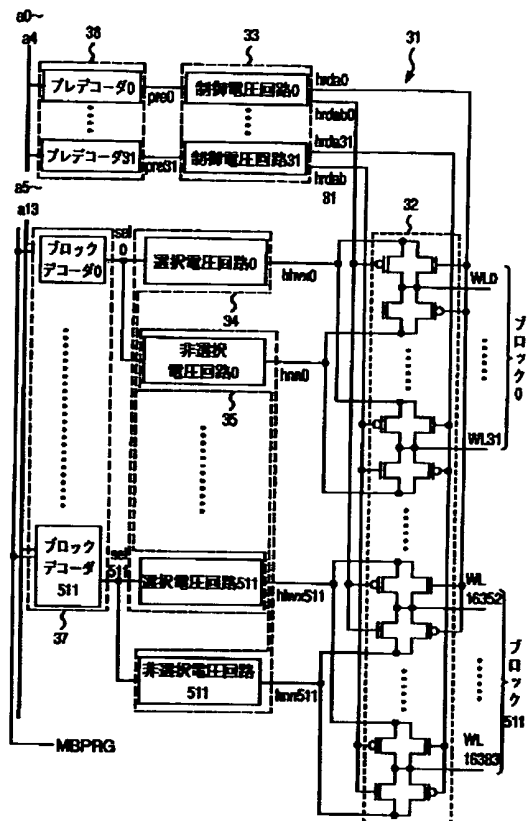
67...インバータ、

WL...ワード線、

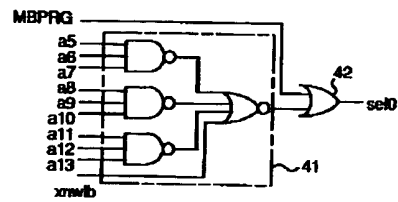
MBL...メインビット線、

SBL...サブビット線。

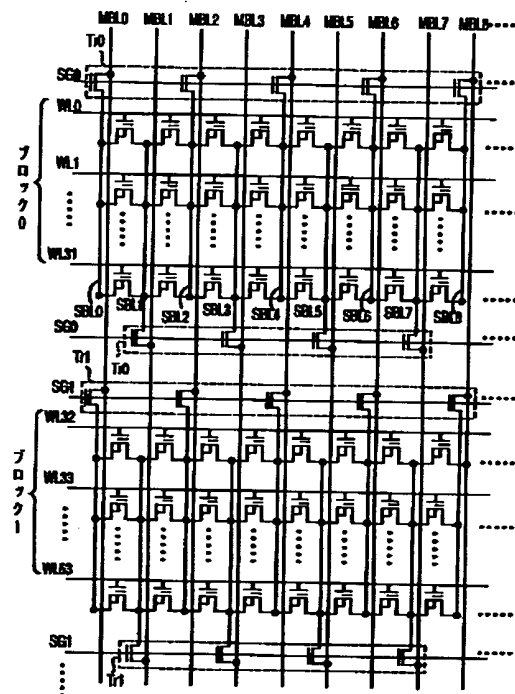
【図1】



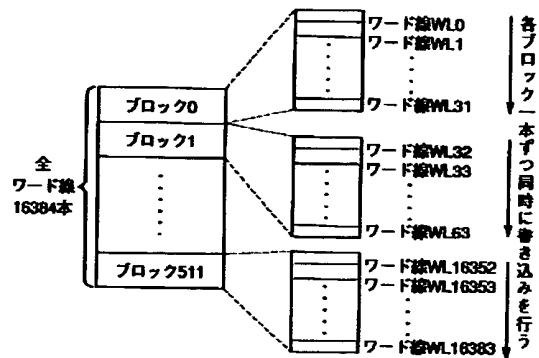
【図2】



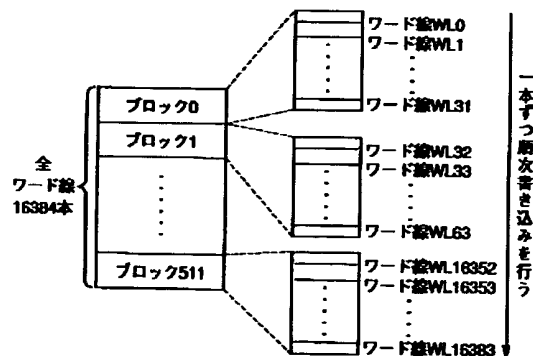
【図3】



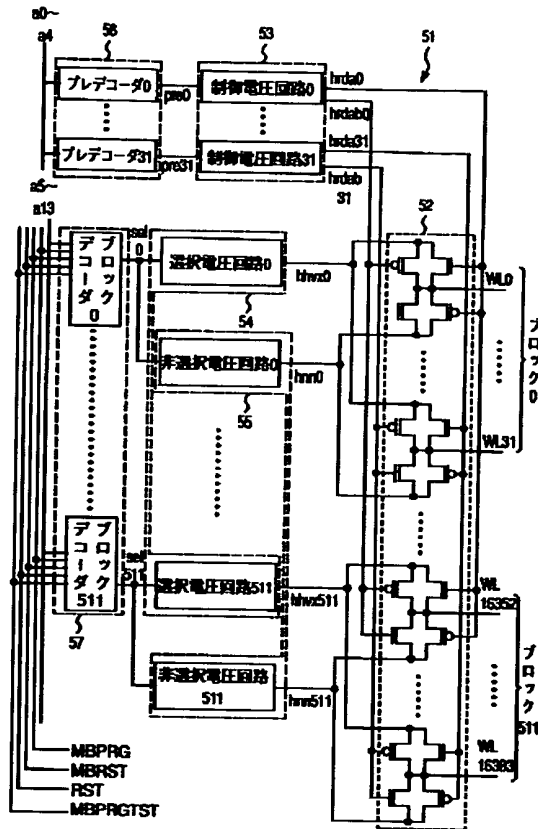
【図4】



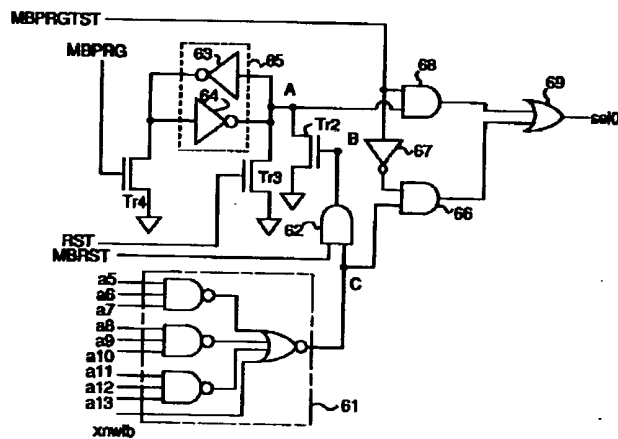
【図5】



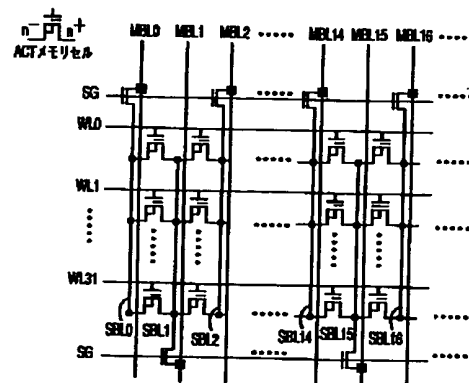
【図6】



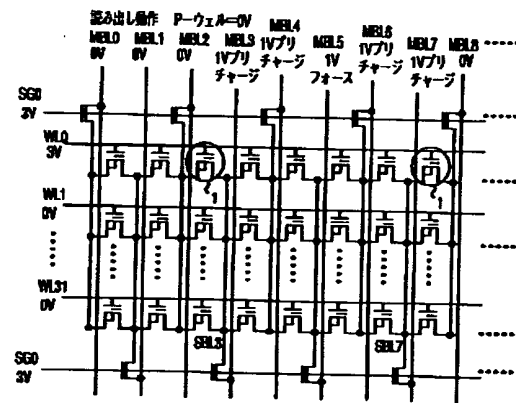
【図7】



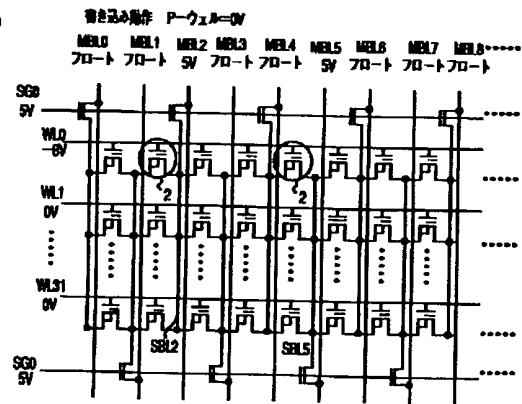
【図8】



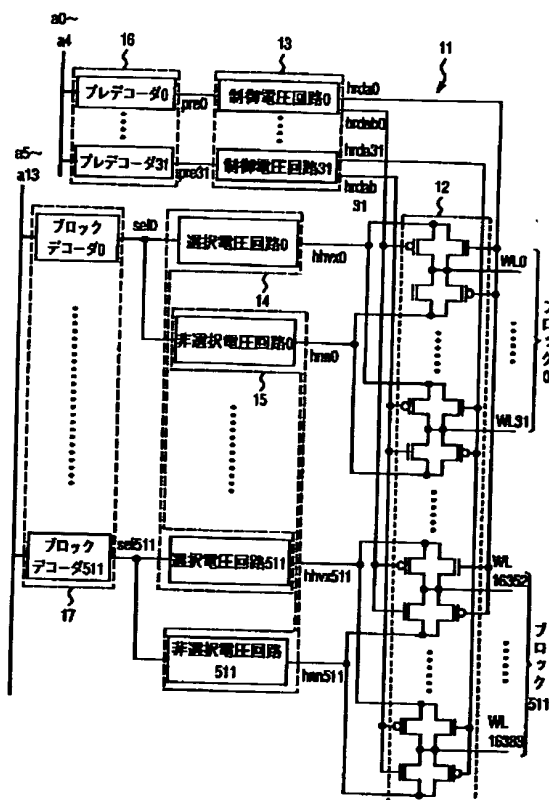
【図9】



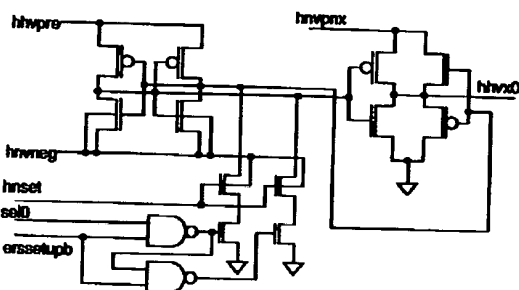
【図10】



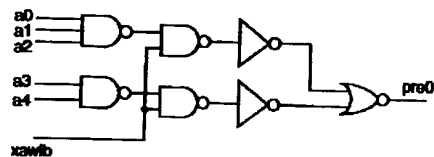
【图 12】



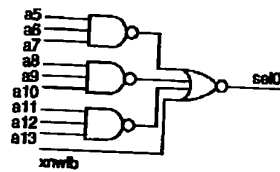
【图14】



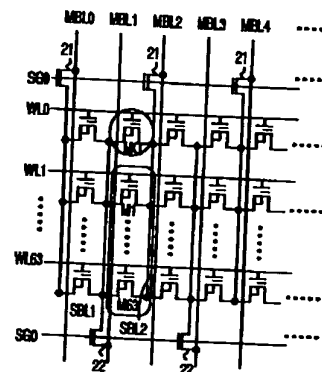
【图 16】



【図17】



【図18】



フロントページの続き

Fターム(参考) 2G032 AA08 AG02 AK13 AK15 AL11
 4M106 AA01 AA04 CA26 CA32
 5B003 AA00 AA05 AB05 AD03 AE04
 5L106 AA10 DD06 EE02